

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 09 月 16 日  
Application Date

申請案號：092125529  
Application No.

申請人：財團法人工業技術研究院  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 10 月 24 日  
Issue Date

發文字號：09221079780  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	壓控震盪器與鎖相迴路之內建式抖動量量測技術與電路
	英 文	Built-in Jitter Measurement Circuit For VolBuilt-in Jitter Measurement Circuit For Voltage Controlled Oscillator And Phase Lock Loop
二、 發明人 (共4人)	姓 名 (中文)	1. 張永嘉
	姓 名 (英文)	1. YEONG-JAR CHANG
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台中縣太平市新光里23鄰振昌街29號
	住居所 (英 文)	1. No. 29, Jhenchang St., Taiping City, Taichung County 411, Taiwan (R.O.C.)
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 財團法人工業技術研究院
	名稱或 姓 名 (英文)	1. Industrial Technology Research Institute
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹縣竹東鎮中興路四段195號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. NO. 195, Sec. 4, Chung Hsing Rd., Chutung Hsinchu, Taiwan 310, R.O.C.
	代表人 (中文)	1. 翁政義
	代表人 (英文)	1. CHENG-I WENG



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中文)	2. 林森田
	姓 名 (英文)	2. SHEN-TIEN LIN
	國 籍 (中英文)	2. 中華民國 TW
	住居所 (中 文)	2. 台中縣后里鄉墩南村枋寮路10之6號
	住居所 (英 文)	2. No. 10-6, Fangliao Rd., Houli Township, Taichung County 421, Taiwan (R.O.C.)
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中 文)	3. 吳文慶
	姓 名 (英 文)	3. WEN-CHING WU
	國 籍 (中 英 文)	3. 中華民國 TW
	住居所 (中 文)	3. 新竹縣竹東鎮五豐里13鄰五豐街54巷7號
	住居所 (英 文)	3. No. 7, Lane 54, Wufong, Jhudong Township, Hsinchu County 310, Taiwan (R.O.C.)
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中 文)	
	代表人 (英 文)	



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中文)	4. 羅崑崙
	姓 名 (英文)	4. KUN-LUN LUO
	國 籍 (中英文)	4. 中華民國 TW
	住居所 (中 文)	4. 新竹市武陵路175巷12號14樓之4
	住居所 (英 文)	4. 14F. -4, No.12, Lane 175, Wulingsi 1st Rd., Hsinchu City 300, Taiwan (R.O.C.)
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：壓控震盪器與鎖相迴路之內建式抖動量量測技術與電路)

本發明係一種可內建於晶片中做為量測壓控震盪器(VCO)與鎖相迴路(PLL)抖動量(Jitter)之電路，其包括一除法器，用於待測訊號的除頻；一時間數位轉換器(TDC)，用於將除頻訊號由週期轉成數位值；一變量計算器，用於除頻訊號的變量值計算；一平均計算器，用於除頻訊號的平均值計算；一編碼與計數器，用於除頻訊號的計算及編碼；以及一狀態控制器，作為所有元件之控制單元。上述的電路結構，係利用測量電路之輸出時脈(Output Clock)與除法的方式來提高所待測信號的抖動量，及再利用測量閉迴路電路之頻寬並與外插之結果連線，使可以量到開、閉迴路輸出時脈之抖動量。

一、本案代表圖為：第五圖

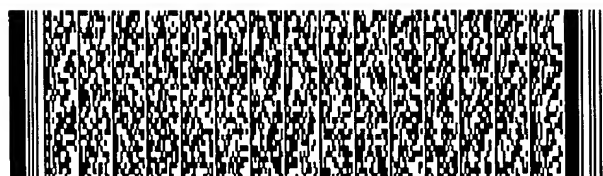
二、本案代表圖之元件代表符號簡單說明：

1 除法器；

2 狀態控制器；

六、英文發明摘要 (發明名稱：Built-in Jitter Measurement Circuit For VolBuilt-in Jitter Measurement Circuit For Voltage Controlled Oscillator And Phase Lock Loop)

A built-in jitter measurement circuit for a voltage controlled oscillator (VCO) and a phase lock loop (PLL) is disclosed. The circuit includes a divider for dividing frequency of signals, a time to digital converter (TDC) for converting periods of the frequency divided signals into digits, a variance calculator for

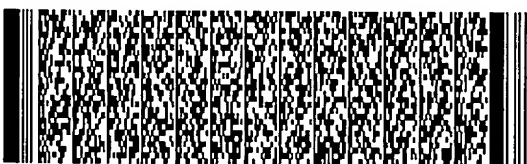


四、中文發明摘要 (發明名稱：壓控震盪器與鎖相迴路之內建式抖動量測技術與電路)

- 3 變量計算器；
- 4 平均計算器；
- 5 編碼與計數器；
- 6 時間數位轉換器。

六、英文發明摘要 (發明名稱：Built-in Jitter Measurement Circuit For VolBuilt-in Jitter Measurement Circuit For Voltage Controlled Oscillator And Phase Lock Loop)

calculating variance of the frequency divided signals, a mean calculator for calculating mean of the frequency divided signals, a encoder and counter for calculating and encoding of the frequency divided signals, and a state controller as a controller for all components. The circuit disclosed utilizes



四、中文發明摘要 (發明名稱：壓控震盪器與鎖相迴路之內建式抖動量測技術與電路)

六、英文發明摘要 (發明名稱：Built-in Jitter Measurement Circuit For VolBuilt-in Jitter Measurement Circuit For Voltage Controlled Oscillator And Phase Lock Loop)

output clock of a circuit to be measured and a divider for increasing jitter of signals to be measured. Then the circuit measures bandwidth of a closed-loop circuit. Accordingly, jitter of output clock of an open-loop or an closed-loop is measured by correlating the measured bandwidth and the jitter from extrapolation.





一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。



## 五、發明說明 (1)

### 【發明所屬之技術領域】

本發明提供一種可內建於晶片中，用以量測壓控震盪器與鎖相迴路抖動量之電路，係利用除法的概念來提高所待測信號的抖動量，使得以量到待測信號之抖動量。

### 【先前技術】

鎖相迴路與壓控震盪器在電路設計上是很常見的元件，其時脈輸出訊號之抖動量的大小直接影響了該元件內部運算信號的品質，甚至影響其功能，所以抖動量的量測實有其必要性。

由於超大型積體電路(VLSI)技術的快速進展，鎖相迴路多已直接內建於系統晶片(SoC)中，但使用外部儀器對晶片中的鎖相迴路做量測會有許多限制，例如測試環境與晶片的接腳所帶來之雜訊、外部測試儀器的頻寬限制、待測電路深埋於單晶片系統中時沒有輸出入介面到晶片外部等。而內建之測試電路，相較於傳統的儀器量測，則具備了成本低、速度快、精確度與容量受限制較少、可進行全速測試(At-Speed Testing)等優點。

抖動量的量測值通常都只有數百微微秒( $10^{-12}$  second)以下，因此傳統內建量測技術多以類比設計來實現，但類比設計較為複雜且成本昂貴。

先前技術中，LogicVision公司使用可調整延遲的延遲線(Delay-Line)，正反器(Flip-Flop)與計數器(Counter)等元件配合統計的原理來測量抖動量。其測量結果的精確度受限於延遲線，而準確度亦會受正反器的設



## 五、發明說明 (2)

定時間(Setup-Time)所影響。

此外，Credence 公司使用多組內建的時脈產生裝置，產生已知不同週期之時脈，利用待測信號來觸發 (trigger) 已知週期之時脈，待與不同週期時脈之相位吻合後，相位吻合所需的週期數即可推出待測訊號的週期。

如此測量多次的週期，再利用統計的原理而推導出抖動量。其精確度與準確度受限於內建時脈產生裝置與吻合判斷裝置，另外還需要額外的統計裝置，所以電路面積成本頗高。

前述技術的抖動量量測之精確度只能到數百微微秒，羅伯特·高登教授等於2001年國際測試會議中 (International Test Conference, 2001) 提出「一種利用非變量元件之菲尼爾延遲線之可合成、快速、高解析度之時間量測裝置(A Synthesizable, Fast and High-resolution Timing Measure Device Using a Component-invariant Vernier Delay Line)」，使用雙延遲線，利用差異值(Differential)的概念，用以克服因元件有其最小延遲量所造成的精確度極限，但其額外設計成本之需求會隨精確度之改善而有指數的成長，而且元件延遲差異值會於實際製程時會產生飄移，產生未定的精確度與不理想的準確度。

### 【發明內容】

本發明係一種量測抖動量之電路，其可內建於包含壓控震盪器或鎖相迴路之系統整合晶片中，以減少量測時輸



### 五、發明說明 (3)

出入接腳或環境雜訊的干擾。

本發明之一目的在於提供一種可內建的量測抖動量之電路，其包含了統計分析的運算的能力，不但可以量得週期抖動量(Period Jitter)與長時間抖動量(Long-term Jitter)，且不需再做大量的資料輸出與複雜的統計分析。

本發明之另一目的在於提供一種可內建的量測抖動量之電路，其運用了測試整合法(Test Integration)與測試消去法(Test Subtraction)，以得到更高的精確度與準確度。

本發明之另一目的在於提供一種可內建的量測抖動量之電路，採用全數位標準元件法設計(All Digital Standard Cell Based Design)，以提高可靠度(Reliability)與抗雜訊的能力(Noise Immunity)，免去類比設計的困難，以適用於不同的製程。

本發明之另一目的在於提供一種可內建的量測抖動量之電路，量測電路植入可測試設計，以保障提高根據本發明之抖動值量測電路本身之可信度。

本發明之另一目的在於提供一種可內建的量測抖動量之電路，其更可應用於單晶片系統(SoC)內部電路的模組導向(Core Based)之自我測試。

本發明之另一目的在於提供一種可內建的量測抖動量之電路，利用測量開迴路電路之輸出時脈與除法的概念來提高其抖動量，使得以量到開迴路輸出時脈之長時間抖動



#### 五、發明說明 (4)

量。

本發明之另一目的在於提供一種可內建的量測抖動量之電路，利用多次測量的結果與外插法，不但可以還原其週期抖動量之值，還可以消去測量所造成的誤差。

本發明之另一目的在於提供一種可內建的量測抖動量之電路，利用測量閉迴路電路之頻寬，並與外插之結果連線，可以得到閉迴路輸出時脈之長時間抖動量，也就是一般鎖相迴路所定義的抖動量。

本發明之另一目的在於提供一種可內建的量測抖動量之電路，使用門鎖(Latch Chain)之時間數位轉換器的設計來測量週期，本發明之特性為HOLD、CLEAR與RUN三個步驟在一個週期內完成，所量得之數位訊號所表示的數值與週期的時間成正比。

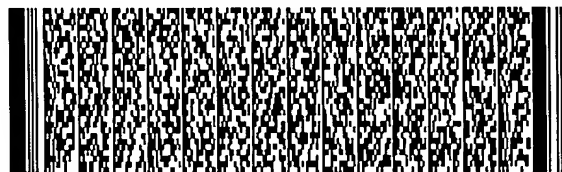
本發明之另一目的在於提供一種可內建的量測抖動量之電路，利用電路設計完成統計分析，將時間數位轉換器的輸出值與平方之值累加後並分析計算，直接輸出抖動量。

本發明之另一目的在於提供一種可內建的量測抖動量之電路，使用等量化編碼之設計來平衡門鎖中標準單元(Standard Cell)之上升時間(Rise Time)與下降時間(Fall Time)之不同，以提高精確度。

#### 【實施方式】

##### (I) 抖動量量測方案(Jitter Measurement Scheme)

第1圖為一般週期性訊號之抖動量會呈現之高斯分



## 五、發明說明 (5)

佈， $t$  是隨機變數， $p(t)$  是機率密度而  $\sigma_x$  是標準差。第2圖為鎖相迴路開迴路與閉迴路的長時間抖動量之量測結果，其中  $T$  是時間， $\sigma_L(T)$  是  $T$  時間下的長時間抖動量， $\kappa$  為常數係數， $t_L$  為迴路頻寬。若訊號週期為  $T$ ，週期抖動量為  $\sigma_L(nT) = \sqrt{n} * \sigma_p$ ，就開迴路而言， $n$  個週期後的長時間抖動量為。然而，閉迴路的特性會在量測時間大於  $\tau_L$  後飽和，

其值為  $\sigma_L(\tau_L) = \sqrt{\frac{\tau_L}{T}} * \sigma_p$ ，一般量測鎖相迴路的抖動量所指即為量測此閉迴路之長時間抖動量的飽和值。

基於以上的發現與觀察，我們進行公式的推導：如第3圖所示，假設待測時脈訊號為  $x(t)$ ，每一週期的時間為  $x_1, x_2, x_3, \dots$ ，而其除  $n$  過後的訊號為  $y(t)$ ，每一週期的時間為  $y_1, y_2, y_3, \dots$ ，其關係式如下：

接著，定義新的隨機變數如下：

$$y_1 = x_1 + x_2 + \dots + x_n$$

$$y_2 = x_{n+1} + x_{n+2} + \dots + x_{2n}$$

...

$$y_k = x_{(k-1)n+1} + x_{(k-1)n+2} + \dots + x_{kn}$$

...

接著，定義新的隨機變數如下：



## 五、發明說明 (6)

$$S_1 = \{x_1, x_{n+1}, x_{2n+1}, \dots\}$$

$$S_2 = \{x_2, x_{n+2}, x_{2n+2}, \dots\}$$

$$S_3 = \{x_3, x_{n+3}, x_{2n+3}, \dots\}$$

...

$$Y = \{y_1, y_2, y_3, \dots\}$$

則可以得到  $Y = S_1 + S_2 + S_3 + \dots + S_n$ 。因為對於開迴路鎖相迴路或壓控震盪器而言， $S_k$  ( $k=1, 2, \dots, n$ ) 之間皆為獨立不相關之隨機變數，所以可以得到以下關係式：

$$M_Y = M_{S_1} + M_{S_2} + \dots + M_{S_n}$$

$$\sigma_Y^2 = \sigma_{S_1}^2 + \sigma_{S_2}^2 + \dots + \sigma_{S_n}^2$$

以隨機變數而言， $M_{S_1} = M_{S_2} = \dots = M_{S_n} = M_X$  且  $\sigma_{S_1} = \sigma_{S_2} = \dots = \sigma_{S_n} = \sigma_X$ ，更可以化簡得：

$$M_Y = nM_X$$

$$\sigma_Y^2 = n\sigma_X^2$$

原先待測訊號  $x(t)$  之抖動量通常很小並不易量得，所以改測  $y(t)$  之抖動量，因為除  $n$  信號  $y(t)$  之抖動量較易被量得，藉此可以得到  $n$  倍週期的  $x(t)$  訊號之長時間抖動量，並可以直接推導出  $x(t)$  的週期抖動量 ( $\sigma_X$ )。另外，如果有除頻器或其他效應所引起的誤差。可定義新隨機變數  $E = \{e_1, e_2, e_3, \dots\}$  來代表誤差，則可以得到校正後的關係式如下：



## 五、發明說明 (7)

$$Y' = \{y_1 + e_1, y_2 + e_2, y_3 + e_3, \dots\}$$

$$M_Y = nM_X + M_E$$

$$\sigma_Y^2 = n\sigma_X^2 + \sigma_E^2 \quad (*)$$

只要有不同的 $n$ 值的量測數據就可以做校正，來消除誤差，以提高量測結果的準確度。也就是說，利用上面推導的結果，藉由量測除頻之後的訊號之週期抖動量，即為原訊號的長時間抖動量。然後調整不同的除數 $n$ 值，則可進行外插法，如第4a圖之 $J_1$ ， $J_2$ ， $J_3$ 與連線所示，並把測量的誤差校正，得到開迴路曲線。接著再如第4b圖所示，逐漸增加輸入頻率，量測閉迴路鎖相迴路之頻寬，其倒數即為 $\tau_L$ 。最後再把 $\tau_L$ 畫在第4a圖上，利用與開迴路曲線之交點，就可以求出鎖相迴路之抖動量， $J_{PLL}$ （閉迴路鎖相迴路之長時間抖動量飽和值簡稱）。

### (II) 可內建的量測抖動量之電路之實施例

以下將說明所發明之內建的電路設計。針對除頻之後的訊號作量測，本電路設計完成了以下的公式：

$$M_y = \sum_{i=1}^N y_i / N$$

$$\sigma_y^2 = (\sum_{i=1}^N y_i^2 / N) - M_y^2$$

為減低硬體成本，其中用來平均的 $N$ 可以設為定值 $2^7 = 128$ 。

內建的電路方塊圖如第5圖所示，其包括一除法器(1/n Divider) 1、一狀態控制器(State





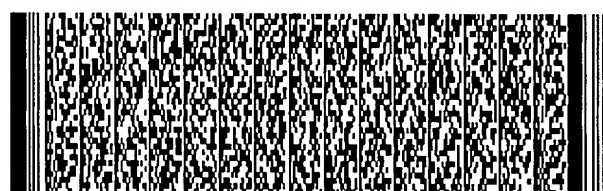
#### 五、發明說明 (8)

Controller)2、一變量計算器 (Variance Calculator) 3、一平均計算器 (Mean Calculator) 4、一編碼與計數器 (Encoder & Counter) 5、以及一時間數位轉換器 (Time to Digital Converter, TDC) 6。

該電路運作時，待測電路中首先藉由除法器1進行除頻以取得較易量測之訊號，然後利用時間數位轉換器6、編碼器與計數器5，將除頻後的待測訊號週期轉成數位值，最後再使用平均計算器4與變量計算器3計算出經由除法器1除頻訊號的週期平均值與抖動量。此時的數值代表輸入訊號的 $n$ 倍週期後的長時間抖動量。不僅於此，因為 $n$ 是可調整的，所以另利用公式(\*)，則可以推出實際輸入訊號的週期抖動量。

時間數位轉換器的設計如第6a圖所示，其包括一門鎖迴路61、一計數器62、一編碼器63、一正反器 (DFF) 64。其中，所輸出的數位數值代表輸入訊號高準位的時間。藉由適當的時序設計，本發明的時間數位轉換器可以在單一同步週期內完成HOLD、RUN與CLEAR三種操作模式。

當啟動訊號enable為低準位時，門鎖迴路61停止傳遞訊號，稱為HOLD模式；當啟動訊號enable為高準位且重置訊號rst為低準位時，訊號將在NOR gate反向並在門鎖迴路61內不斷傳遞，稱為RUN模式；當啟動訊號enable為高準位且重置訊號rst亦為高準位時，門鎖迴路61將傳遞0直到整個迴路均為0，稱為CLEAR模式。因為門鎖的上升延遲與下降延遲時間有可能不一致，本發明的編碼器使用等量



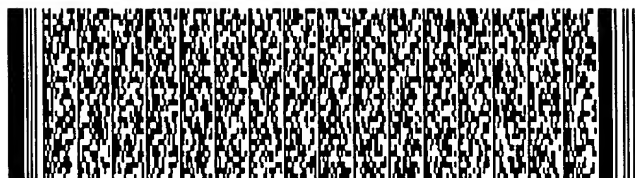
#### 五、發明說明 (9)

化編碼，可以使最後時間數位轉換器的輸出與實際的週期呈線性化。

請參考第6b圖所示，本發明之內建的測試電路所加入之可測試設計，除了增加完全審視(Full Scan)設計之外(原設計之障礙涵蓋率(Fault Coverage)僅63%，若只做完全審視，則障礙涵蓋率可改善至82%)，還多加了多工器(MUX)65與正反器(DFF)66以改善Latch-Chain輸出的不可控制點。結果障礙涵蓋率可達91%，測試涵蓋率(Test Coverage)可達100%。

為了實現之前描述的功能，本發明使用了以下的時序設計技巧如第7圖所示，將第一時脈訊號clk延遲一個時間td之後得到第二時脈訊號clkd。clkd訊號用來輔助控制一重置訊號rst與啟動訊號enable的時序。當第一時脈訊號clk為高準位時，即進入RUN模式，直到第一時脈訊號clk變為低準位，則進入HOLD模式，並於重置訊號rst正緣時將編碼器與計數器的值閃鎖(latch)出來。並在下一個第一時脈訊號clk高準位之前，進入CLEAR模式，將閃迴路清除為0。

本發明之特性為HOLD、CLEAR與RUN三個步驟在一個週期內完成，所量得之數位訊號與半週期的時間成正比，所以待測時脈之寬度(等於1的時間)必須與週期之間有穩定的百分比(duty cycle)，所量之結果才會與週期成正比。本發明之除法器1可以在 $n \geq 2$ 的情況下，提供時間數位轉換器穩定的百分比(duty cycle)。本發明最大的優點就是



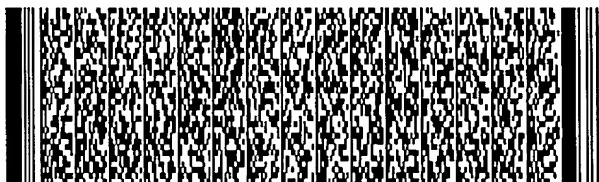
## 五、發明說明 (10)

測量時不需等待，可以把每個連續的時脈訊號之週期都量出來。

等量化編碼為本發明提出之概念之一，此技術是為了減少測量時的誤差。由於標準單位元件之上升時間與下降時間不同會造成延遲不同，而使得時間數位轉換器的輸出結果有累計的誤差，舉例說明如下：如第8圖所示，第一行表示時間數位轉換器的閘鎖所前進的步數(Step)，第二行為其實際經歷的累計時間(Actual Delay)，可以發現，前幾碼因為延遲較短所以相鄰之間的差距較小，後幾碼因為延遲較長所以相鄰之間的差距較大。如果用傳統的編碼方式(Traditional Code-T.C.)，相同的步數會有相同的碼，若以此為時間數位轉換器之輸出數位訊號，則其所表示之累計時間，就會有很大的誤差。第三行為傳統的編碼，第四行為每個碼所指示之累計時間(Depicted Delay)，第五行為所指示之時間與實際時間相較於時間間距之誤差百分比(Error %)，其中之平均時間步數(Average Time Step)為 $2.4\text{ns}/8 = 0.3\text{ns}$ ：

$$\text{Error} = \frac{\text{Depicted Delay} - \text{Actual Delay}}{\text{Average Time Step}} \times 100\%$$

本發明所提出之等量化編碼法就是選擇較接近實際時間的碼為時間數位轉換器之輸出數位訊號，使得每個相鄰的碼之間的延遲近乎相等，所以稱為等量化編碼。此方法可以在RTL (Register Transfer Level，暫存器轉移級) 時就設計在編碼器 (Encoder) 之中，然後再做合成，則



## 五、發明說明 (11)

此電路與傳統編碼法所合成的電路之面積大小(Area)與速度(Speed)將會差不多。第8圖之第六行為本發明所提出等量化之編碼(Equalization Code-E.C.)，第七行為其指示之累計時間，第八行為所提出之等量化編碼技術之時間誤差。由第八行的數據可輕易發現，本發明所提出之等量化編碼技術確實是比傳統的方法減少了很大的誤差。

### (III) 實施例模擬結果

如第9圖所示為電路模擬的結果，若T代表輸入訊號的週期、 $\sigma_x$ 為輸入訊號的抖動量、n為輸入除法器的除值，且mean與var2為內建的測試電路的數位輸出，則由內建的測試電路所量得的抖動量 $\sigma_m$ 與量測誤差可由下列公式求得：

$$\sigma_m = \frac{\sqrt{n \times \text{var2}} \times T}{\text{mean}}$$

$$\text{error} = \frac{\sigma_m - \sigma_x}{\sigma_x} \times 100\%$$

對於不同輸入週期的訊號，n固定為64，輸入訊號抖動量固定為300ps，量測誤差均小於4.23%。最小可以輸入的週期受限於三項因素，首先是除法器的最快工作速度；其次是時間數位轉換器的最快工作速度；最後是信號本身的抖動量相較於信號週期不可過大。(第9圖最後一列就是違反最後一個因素)。這些原則可以用下列公式表示之：

$$T \geq 0.85\text{ns} \quad (\text{Divider @TSMC025 design})$$

$$nT \geq 30\text{ns} \quad (\text{TDC @TSMC025 design})$$



## 五、發明說明 (12)

$$T \geq 10 \sigma_x \quad (\text{If } X_i \text{ is within } \pm 5 \sigma_x)$$

至於最大的輸入週期則決定於所設計的時間數位轉換器之位元數。對於12 bit的設計而言，當除頻後的訊號週期小於 $0.3 \times 20 \times 2^{12}(\text{ns}) = 24.6(\text{us})$ 時，誤差仍可保持在5%內。此輸入訊號的範圍是可以由設計來調整的。

第10圖與第11圖是本發明根據不同的除數與抖動量模擬的結果，大多數的情況誤差都很小。只是對於不同 $\sigma_x$ 之待測訊號，若要保持5%以下的誤差，n值的必須符合以下之公式：

$$0.3 \times \sqrt{20} < \sqrt{n} \sigma_x < 0.3 \times 2^7 \times 1/5$$

$$\rightarrow 1.34\text{ns} < \sqrt{n} \sigma_x < \sqrt{7.68}\text{ns}$$

第10圖的第一列與第11圖的第一列與第二列就是因為 $\sqrt{n} \sigma_x$ 太小所以誤差很大；第10圖的最後一列因為 $\sqrt{n} \sigma_x$ 太大所以無法完成模擬。

總而言之，不管待測訊號的週期與抖動量為何，只要選擇合適的n符合以上的公式，就可以順利精確地量測出待測訊號。例如對於第11圖最後一列而言，輸入時脈週期只有1.5ns且抖動量只有40ps，若使用 $n=1024$ 來量測，則模擬結果顯示，誤差只有2%。



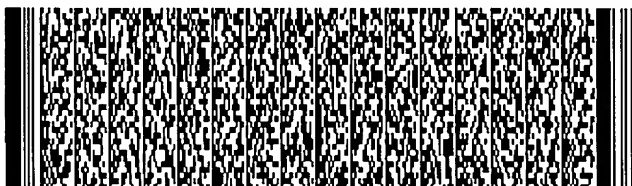
## 圖式簡單說明

### 【圖示簡單說明】

- 第1圖係週期性訊號抖動量之高斯分佈圖；
- 第2圖係開迴路與閉迴路抖動量之測量結果之曲線圖；
- 第3圖係待測訊號 $x(t)$ 與除頻訊號 $y(t)$ 之波形關係圖；
- 第4a圖係本發明之抖動量量測法說明曲線圖；
- 第4b圖係鎖相迴路頻率響應曲線圖；
- 第5圖係抖動量量測電路之設計方塊圖；
- 第6a圖係時間數位轉換器之設計方塊圖；
- 第6b圖係加入多工器(MUX)與正反器(DFF)等可測試電路之設計方塊圖；
- 第7圖係時間數位轉換器之時序圖；
- 第8圖係傳統編碼與等量化編碼之比較數據圖；
- 第9圖係不同輸入週期下之模擬結果數據圖；
- 第10圖係不同輸入除頻值下之模擬結果數據圖；以及
- 第11圖係不同輸入抖動量下之模擬結果數據圖。

### 【符號說明】

- 1 除法器；
- 2 狀態控制器；
- 3 變量計算器；
- 4 平均計算器；
- 5 編碼與計數器；
- 6 時間數位轉換器；
- 61 門鎖迴路；
- 62 計數器；



## 六、申請專利範圍

1. 一種壓控震盪器與鎖相迴路之內建的抖動量量測電路，包括：
  - 一除法器，用於對待測訊號進行除頻（除 $n$ ）；
  - 一狀態控制器，用於待測訊號週期轉成數位值；
  - 一變量計算器，用於計算待測訊號變量值；
  - 一平均計算器，用於計算待測訊號平均值；
  - 一編碼與計數器，用於計數待測訊號並對待測訊號進行編碼；以及
  - 一時間數位轉換器，用於將待測訊號週期轉成數位值；其中，除法器將待測信號進行除頻，然後利用時間數位轉換器、編碼器與計數器，將除頻後的待測訊號週期轉成數位值，最後再經平均計算器與變量計算器計算後，可算出經由除法器除頻訊號的週期平均值與抖動量。
2. 如申請專利範圍第1項所述之電路，其中在該平均計算器與該變量計算器計算出經由除法器除頻訊號的週期平均值與抖動量之數值後，更包括利用公式
$$Y' = \{y_1 + e_1, y_2 + e_2, y_3 + e_3, \dots\}$$
$$M_{Y'} = nM_X + M_E$$
$$\sigma_{Y'}^2 = n\sigma_X^2 + \sigma_E^2$$
，以取得實際輸入訊號的週期抖動量。
3. 如申請專利範圍第1項所述之電路，其中該時間數位轉換器更包括一閃鎖迴路、一計數器、一編碼器、一正反器。
4. 如申請專利範圍第3項所述之電路，其中該時間數位轉



#### 六、申請專利範圍

換器可以在單一同步週期內完成HOLD、RUN與CLEAR三種操作模式。

5. 如申請專利範圍第3項所述之電路，其中編碼器使用等量化編碼，可以使最後時間數位轉換器的輸出線性化，平衡閘鎖迴路中標準元件之升高時間與下降時間之不同，以減少量測誤差。
6. 如申請專利範圍第3項所述之電路，其更包括一多工器(MUX)與正反器(DFF)，用於改善閘鎖迴路(Latch Chain)輸出的不可控制點，以提高障礙涵蓋率(Fault Coverage)。





圖式簡單說明

63 編碼器；

64 正反器；

65 多工器；

66 可審視之正反器；(Scanable DFFs)

clk 第一時脈訊號；

clkd 第二時脈訊號；

rst 重置(reset)訊號；

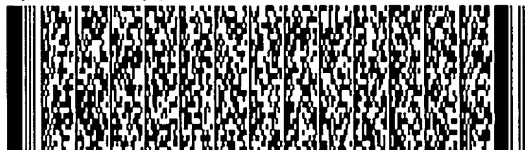
enable 啟動訊號。



第 1/24 頁



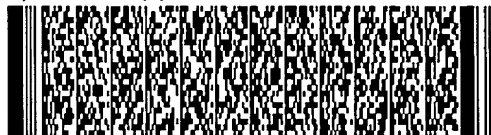
第 1/24 頁



第 2/24 頁



第 3/24 頁



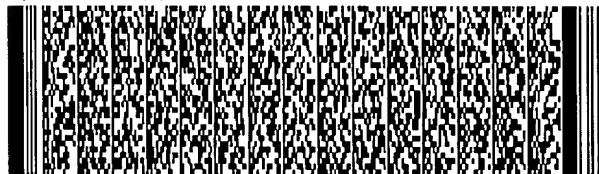
第 4/24 頁



第 5/24 頁



第 5/24 頁



第 6/24 頁



第 7/24 頁



第 8/24 頁



第 9/24 頁



第 9/24 頁



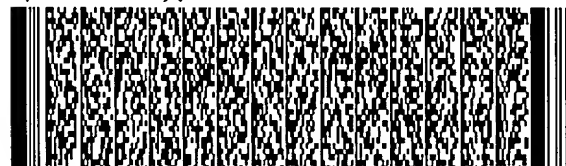
第 10/24 頁



第 10/24 頁



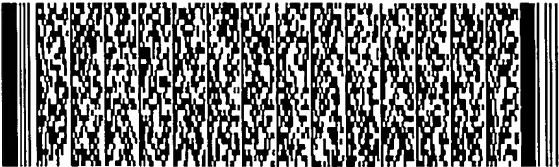
第 11/24 頁



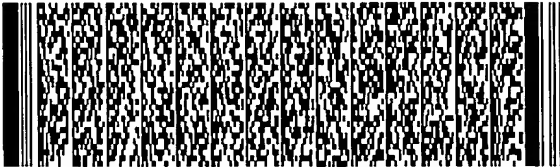
第 11/24 頁



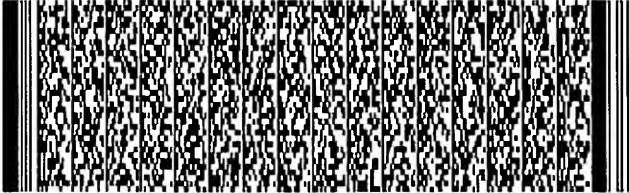
第 12/24 頁



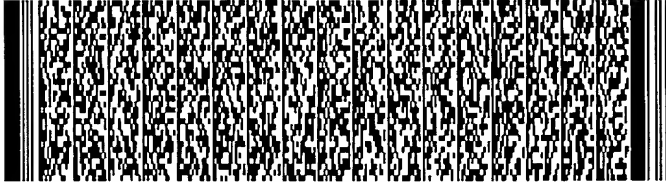
第 12/24 頁



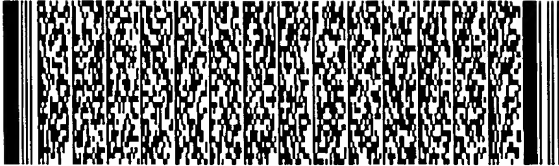
第 13/24 頁



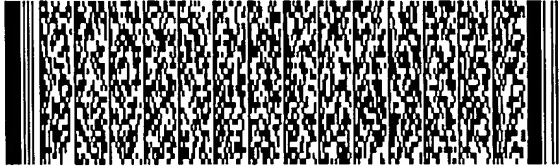
第 14/24 頁



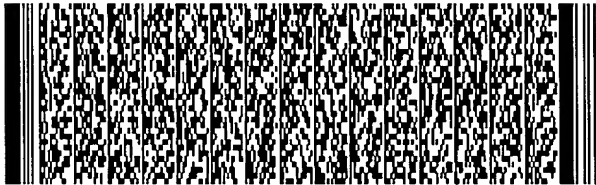
第 15/24 頁



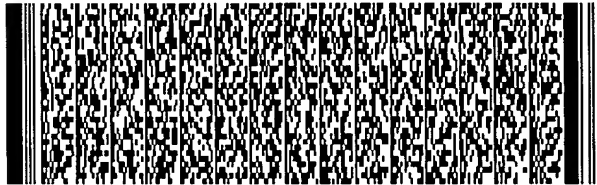
第 15/24 頁



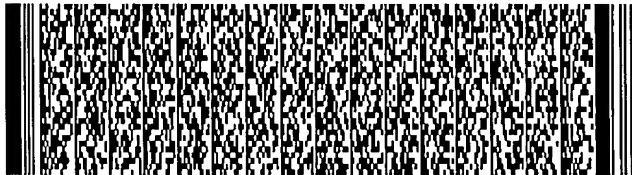
第 16/24 頁



第 16/24 頁



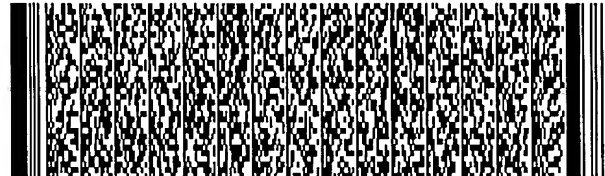
第 17/24 頁



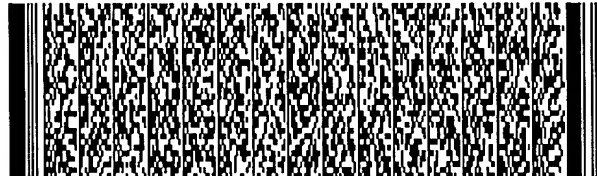
第 17/24 頁



第 18/24 頁



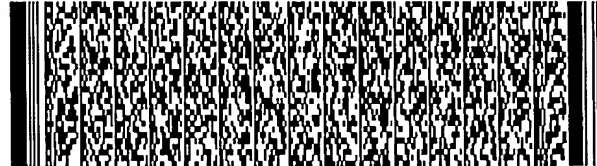
第 18/24 頁



第 19/24 頁



第 19/24 頁



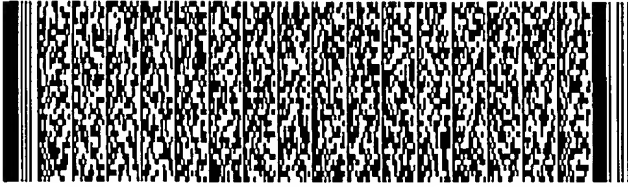
第 20/24 頁



第 20/24 頁



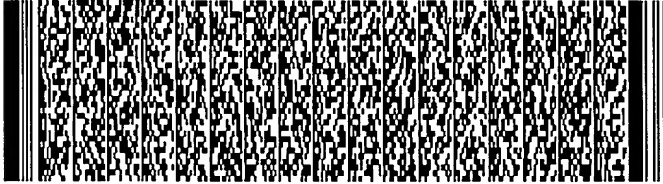
第 21/24 頁



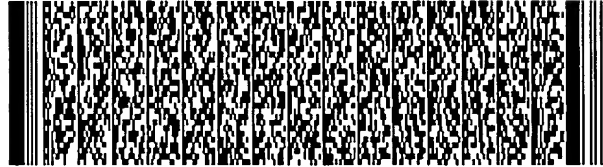
第 22/24 頁

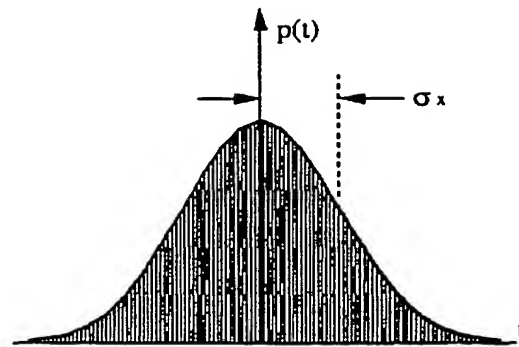


第 23/24 頁

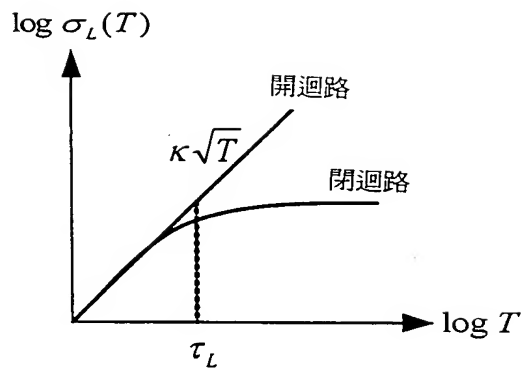


第 24/24 頁

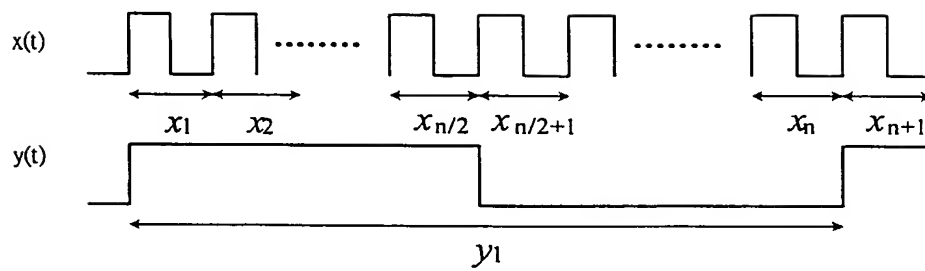




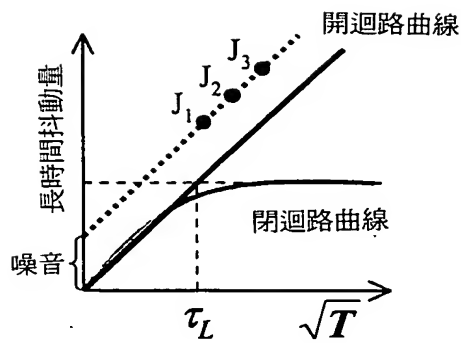
第 1 圖



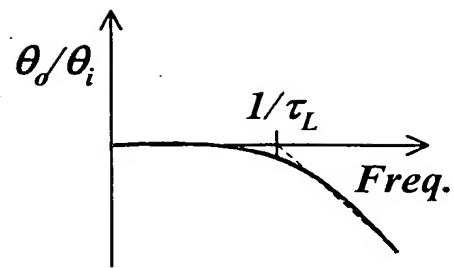
第 2 圖



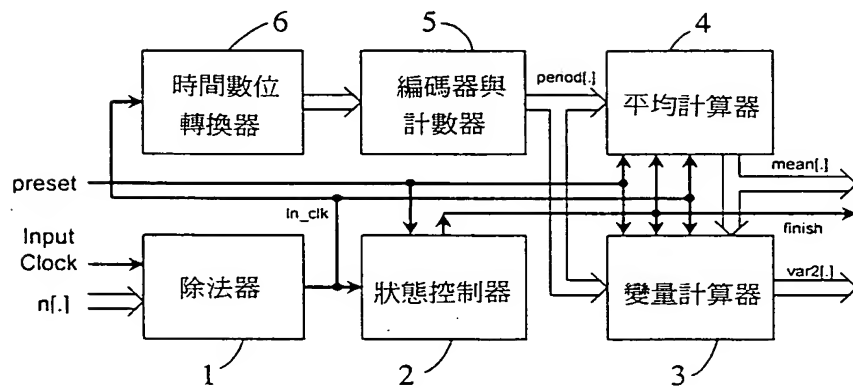
第 3 圖



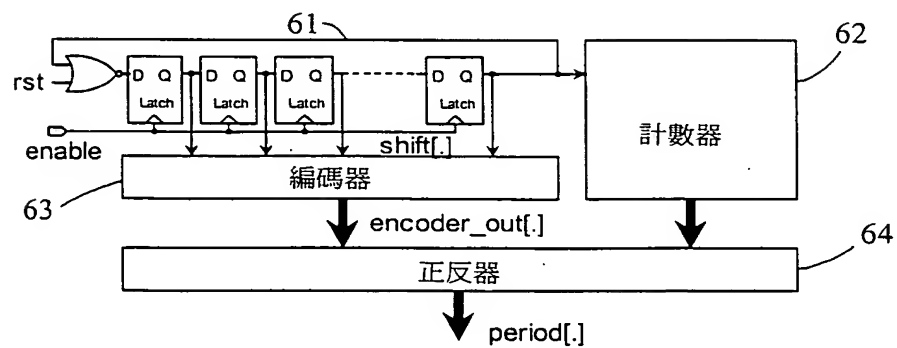
第 4a 圖



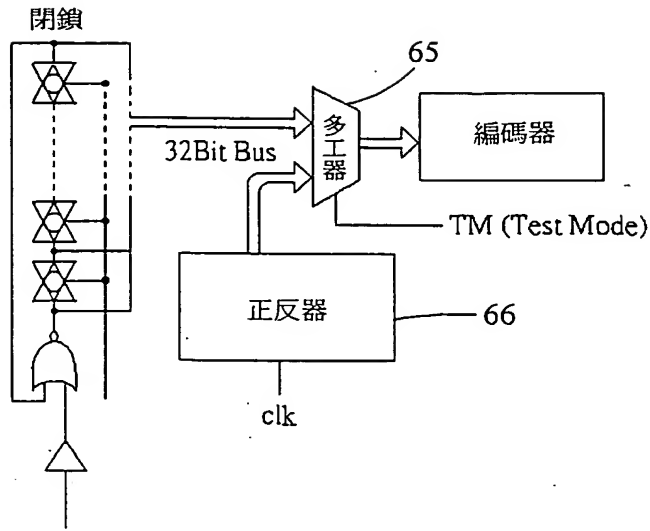
第 4b 圖



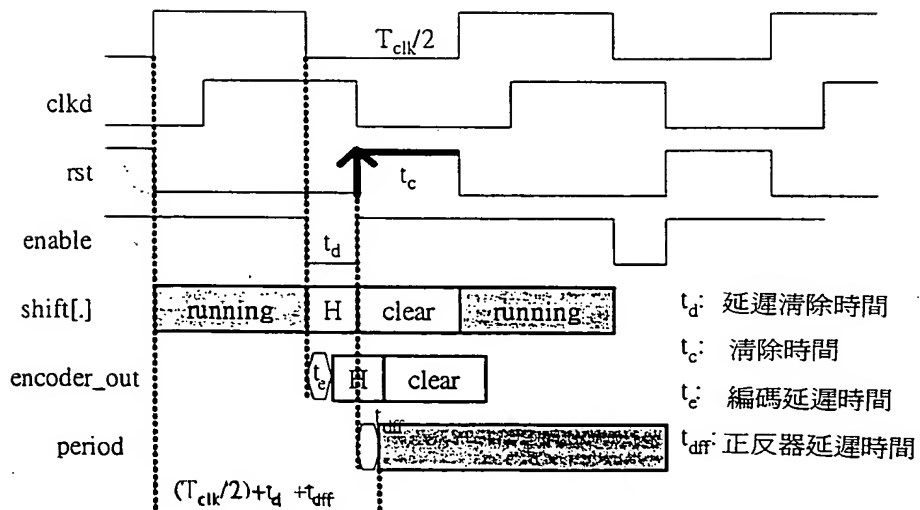
第 5 圖



第 6a 圖



第 6b 圖



第 7 圖

步數	實際累計時間	傳統編碼	指示的累計時間	誤差	等量編碼	指示的累計時間	誤差
0	0	0	0	0	0	0	0
1	0.2ns	1	0.3ns	33%	1	0.3ns	33%
2	0.4ns	2	0.6ns	67%	1	0.3ns	33%
3	0.6ns	3	0.9ns	100%	2	0.6ns	0
4	0.8ns	4	1.2ns	133%	3	0.9ns	33%
5	1.2ns	5	1.5ns	100%	4	1.2ns	0
6	1.6ns	6	1.8ns	67%	5	1.5ns	33%
7	2ns	7	2.1ns	33%	7	2.1ns	33%
8	2.4ns	8	2.4ns	0	8	2.4ns	0

第 8 圖



輸入			輸出		抖動量 $\sigma_m$ (ps)	誤差 (%)
$T$ (ns)	$n$	$\sigma_x$ (ps)	<i>mean</i>	<i>var2</i>		
40	64	300	8544	63	297.3	-0.91
20	64	300	4273	61	292.5	-2.52
10	64	300	2138	62	294.6	-1.79
8	64	300	1711	59	287.3	-4.23
4	64	300	856	64	299.1	-0.31
2	64	300	無法模擬			

第 9 圖

輸入			輸出		抖動量 $\sigma_m$ (ps)	誤差 (%)
$T$ (ns)	$n$	$\sigma_x$ (ps)	<i>mean</i>	<i>var2</i>		
10	2	300	69	1	0.2050	-31.68
10	4	300	137	4	0.2920	-2.68
10	8	300	269	8	0.2974	-0.87
10	12	300	412	14	0.3146	4.87
10	16	300	536	17	0.3077	2.56
10	24	300	804	24	0.2985	-0.50
10	32	300	1071	33	0.3034	1.14
10	64	300	2138	62	0.2946	-1.79
10	128	300	4274	131	0.3030	0.99
10	96	1000	3205	1094	1.0112	1.12
10	128	1000	無法完成模擬			

第 10 圖

輸入			輸出		抖動量 $\sigma_m$ (ps)	誤差 (%)
$T$ (ns)	$n$	$\sigma_x$ (ps)	$mean$	$var2$		
10	64	50	2138	4	74.8	49.67
10	64	100	2138	9	112.3	12.25
10	64	150	2138	17	154.3	2.85
10	64	200	2138	29	201.5	0.75
10	64	300	2138	62	294.6	-1.79
10	64	500	2137	171	489.5	-2.09
10	64	1000	2136	667	967.3	-3.27
10	64	2000	無法模擬			
1.5	1024	100	5129	117	101.2	1.23
1.5	1024	80	5128	77	82.14	2.67
1.5	1024	60	5128	42	60.66	1.10
1.5	1024	50	5128	29	50.41	0.81
1.5	1024	40	2136	19	40.80	2.00

第 11 圖